

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Masahiro Matsuo, et al.

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: February 15, 2002

Examiner: Not Yet Assigned

For: METHOD AND APPARATUS FOR POWER
SUPPLY CAPABLE OF EFFECTIVELY
REDUCING A POWER CONSUMPTION

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign applications filed in the following foreign countries on the dates indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	JPAP2001-038394	February 15, 2001
Japan	JPAP2001-189792	June 22, 2001

In support of this claim, a certified copy of each said original foreign application
is filed herewith.

Dated: February 15, 2002

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c979 U.S. PTO
10/075624
02/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月15日

出 願 番 号

Application Number:

特願2001-038394

出 願 人

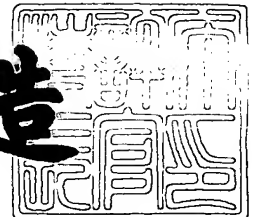
Applicant(s):

株式会社リコー

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103023

【書類名】 特許願
【整理番号】 176201
【提出日】 平成13年 2月15日
【あて先】 特許庁長官殿
【国際特許分類】 G05F 3/16
H02M 3/156
【発明の名称】 電源回路
【請求項の数】 3
【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 松尾 正浩

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 新田 昇一

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧 V_a に降圧して出力する DC-DC コンバータと、

該 DC-DC コンバータからの出力電圧を少なくとも 1 つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータと、
を備えることを特徴とする電源回路。

【請求項 2】 上記 DC-DC コンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力することを特徴とする請求項 1 記載の電源回路。

【請求項 3】 上記 DC-DC コンバータは、
直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、
該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、
を備え、

上記制御部は、上記所定の信号が入力されると非活性化状態となり、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時上記平滑回路部に出力させることを特徴とする請求項 1 又は 2 記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話等の各種電池を使用する機器等で使用される電源回路に関し、特に、低消費電力化を図ることができる電源回路に関する。

【 0 0 0 2 】

【従来の技術】

従来、直流電源から供給される直流電圧を所定の電圧に降圧する電源回路として、ボルテージレギュレータを使用したものと、DC-DCコンバータを使用したものがあった。

図5は、ボルテージレギュレータを使用した電源回路の従来例を示した回路図である。図5のボルテージレギュレータ100において、各種電池（2次電池も含む）等の直流電源101から電源電圧VDDが印加される電源端と接地との間にPチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）102、抵抗103及び104が直列に接続されている。

【 0 0 0 3 】

抵抗103及び104は出力電圧Voutを分圧し、該分圧電圧と基準電圧発生回路105で生成して出力される所定の基準電圧Vrefとを電圧比較器106で比較し、該比較結果に応じてPMOSトランジスタ102の動作を制御して出力電圧Voutが所望の値で一定になるようにしている。なお、図5では、ボルテージレギュレータ100がCPU107に電源を供給している場合を例にして示している。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかし、このようなボルテージレギュレータは、電源電圧VDDを所定の出力電圧Voutに降圧する際、PMOSトランジスタ101での電力消費が大きいという問題があった。例えば、電源電圧VDDを3.6Vとし、ボルテージレギュレータ100で該3.6Vを2Vに降圧して出力する場合、CPU107の消費電流を100mAとすると、PMOSトランジスタ101で電力消費は0.16Wとなる。このように、CPUの動作電圧値が下がっている近年では、電池電圧とCPU動作電圧の差分をボルテージレギュレータで消費させることになり、低消費電力を目指したシステムには不向きであった。

【0005】

そこで、電源に電池を使用する機器では、ボルテージレギュレータの代わりに図6で示すようなDC-DCコンバータを電源回路として使用していた。なお、図6では、DC-DCコンバータにCPUが接続される場合を例にして示している。図6におけるDC-DCコンバータ110は、直流電源101から印加される電源電圧VDDを所望の出力電圧V_{out}に降圧してCPU107に電源として供給している。

【0006】

一方、電源に電池を使用した機器では、消費電力を極力減らして電池の消耗を抑制するために、必要に応じて、各部の動作を一時的に停止させて低消費電力状態にするスリープ機能を有している。このような場合、図6のCPU107が該スリープ状態になるとき、DC-DCコンバータ110は、該スリープ状態での出力端を接地レベル、又はハイ(High)インピーダンス状態にすることで消費電流の軽減を図っていた。このことは、DC-DCコンバータ110がダイレクトに電源供給先のデバイスであるCPU107の電源をコントロールするために配慮されたものである。

【0007】

また、電源供給先のデバイスであるCPU107が、スリープ状態であるにもかかわらず自動的にオン/オフを繰り返して、必要に応じて機器の各部(図示せず)に対して間欠的に起動をかけるものであった場合、DC-DCコンバータ110を常に活性化状態にして使用する必要があった。DC-DCコンバータ110を常に活性化状態で使用する場合、DC-DCコンバータ110自身での電力消費が機器の消費電力に与える影響が大きかった。また、電源に電池を使用した機器では、消費電力を極力減らして電池の消耗を抑制する必要があり、DC-DCコンバータ110の代わりに、消費電力の大きいボルテージレギュレータを使用するには問題があった。

【0008】

本発明は、上記のような問題を解決するためになされたものであり、電源供給先のデバイスがスリープ状態ではなく通常の電力消費を行う場合には、DC-D

Ｃコンバータを動作させることにより効率よく電源電圧を降圧した後にボルテージレギュレータによって安定した電源を供給し、電源供給先のデバイスがスリープ状態で電力消費が小さい場合には、ＤＣ－ＤＣコンバータを非活性化状態にして電力消費を抑えると共に、ＤＣ－ＤＣコンバータをスルーした電源電圧をボルテージレギュレータのみで所望の電圧値にレギュレーションした電源を電源供給先のデバイスに供給するようにしたことから、スリープ状態時に電力消費を低減することができると共に、電源供給先のデバイスが該スリープ状態時に間欠的に動作する場合においても該デバイスに電源供給を行うことができる電源回路を得ることを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

この発明に係る電源回路は、直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、直流電源からの電源電圧を所定の電圧 V_a に降圧して出力するＤＣ－ＤＣコンバータと、該ＤＣ－ＤＣコンバータからの出力電圧を少なくとも１つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータとを備えるものである。

【 0 0 1 0 】

また、上記ＤＣ－ＤＣコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力するようにしてもよい。

【 0 0 1 1 】

具体的には、上記ＤＣ－ＤＣコンバータは、直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、該スイッチング回路部から出力される脈流電圧を平滑してボルテージレギュレータに出力する平滑回路部と、該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるようにスイッチング回路部におけるスイッチング動作の制御を行う制御部とを備え、制御部は、上記所定の信号が入力される

と非活性化状態となり、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時平滑回路部に出力させるようにした。

【 0 0 1 2 】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

図 1 は、本発明の実施の形態における電源回路の構成例を示した図である。

図 1 において、電源回路 1 は、各種電池（２次電池も含む）等の直流電源 1 0 から印加される電源電圧 V_{DD} を降圧して所定の電圧 V_a を出力する DC-DC コンバータ 2 と、DC-DC コンバータ 2 からの出力電圧を降圧して所定の電圧 V_b を出力するボルテージレギュレータ 3 とで構成されている。

【 0 0 1 3 】

電源電圧 V_{DD} が印加される電源端と接地との間には、DC-DC コンバータ 2 が接続され、DC-DC コンバータ 2 の出力端と接地との間にボルテージレギュレータ 3 が接続され、ボルテージレギュレータ 3 の出力端は、電源供給先のデバイスである CPU 1 1 の電源端に接続されている。なお、図 1 では、電源回路 1 から電源供給が行われるデバイスとして CPU 1 1 を例にして示しているが、CPU 1 1 以外にも DSP やメモリ等があり、これらがシステム装置をなす。

【 0 0 1 4 】

ボルテージレギュレータ 3 は、Pチャネル型 MOS トランジスタ（以下、PMOS トランジスタと呼ぶ）2 1 と、抵抗 2 2、2 3 と、基準電圧発生回路 2 4 と、電圧比較器 2 5 とで構成されている。DC-DC コンバータ 2 の出力端と接地との間に PMOS トランジスタ 2 1、抵抗 2 2 及び 2 3 が直列に接続され、PMOS トランジスタ 2 1 と抵抗 2 2 との接続部がボルテージレギュレータ 3 の出力端をなしている。また、抵抗 2 2 と抵抗 2 3 との接続部は、電圧比較器 2 5 の一方の入力端に接続され、電圧比較器 2 5 の他方の入力端には、基準電圧発生回路 2 4 からの基準電圧 V_{ref} が入力されている。電圧比較器 2 5 の出力端は、PMOS トランジスタ 2 1 のゲートに接続されている。

【 0 0 1 5 】

抵抗 2 2 及び抵抗 2 3 は出力電圧 V_b を分圧し、該分圧電圧と基準電圧発生回

路24からの基準電圧 V_{ref} を電圧比較器25で比較する。電圧比較器25は、該分圧電圧が基準電圧 V_{ref} よりも大きい場合は、PMOSトランジスタ21から流れる電流が減少するようにPMOSトランジスタ21の動作制御を行い、上記分圧電圧が基準電圧 V_{ref} よりも小さい場合は、PMOSトランジスタ21から流れる電流が増加するようにPMOSトランジスタ21の動作制御を行う。

【0016】

このような構成において、CPU11は、各部の動作を一時的に停止させて低消費電力状態（以下、スリープ状態と呼ぶ）にする機能を有しており、該スリープ状態にするときは、DC-DCコンバータ2に対して所定のスリープ信号SLPを出力する。DC-DCコンバータ2は、CPU11がスリープ状態ではない通常状態の動作を行っているとき、すなわち所定のスリープ信号SLPがCPU11から入力されていないときは、直流電源10から入力される電源電圧VDDを降圧して生成した出力電圧Vaを、ボルテージレギュレータ3に対して電源電圧として出力する。

【0017】

ボルテージレギュレータ3は、DC-DCコンバータ2から電源電圧として印加される電圧Vaを降圧して生成した電圧VbをCPU11への電源電圧として供給する。このように、電源回路1は、直流電源10からの電源電圧VDDを、DC-DCコンバータ2で電圧Vaに降圧した後、更にボルテージレギュレータ3で電圧Vbに降圧してCPU11に電源電圧として供給する。例えば、電源電圧VDDを3.6Vの場合、DC-DCコンバータ2の出力電圧Vaは2.0V、ボルテージレギュレータ3の出力電圧Vbは1.8Vといったように、ボルテージレギュレータ3での電圧の降圧値を小さくすることができる。このようにすることによって、ボルテージレギュレータ3の消費電力を低減させることができる。

【0018】

次に、CPU11は、スリープ状態の動作を行うスリープモードの場合、すなわちDC-DCコンバータ2に対して所定のスリープ信号SLPを出力した場合

、DC-DCコンバータ2は、非活性化状態となって動作を停止する。DC-DCコンバータ2は、動作を停止すると、直流電源10から印加されている電源電圧VDDをそのまま出力端から出力電圧Vaとして出力する。すなわち、ボルテージレギュレータ3に電源電圧VDDが電源電圧として印加されるが、CPU11はスリープモードで動作しており、該スリープモードで動作を停止している場合はほとんど電流が消費されない。このため、ボルテージレギュレータ3での電力消費はほとんどない。

【0019】

一方、CPU11は、スリープモードの動作として、間欠的、例えば1秒ごとに動作を行う場合がある。しかし、このような間欠動作状態の場合、CPU11が動作するために必要な電源は、ボルテージレギュレータ3がDC-DCコンバータ2をスルーして印加される電源電圧VDDを出力電圧Vbに降圧して得られる。しかし、このときのCPU11によって消費される電流が小さいことから、ボルテージレギュレータ3におけるPMOSトランジスタ21による消費電力は小さい。

【0020】

次に、図2は、DC-DCコンバータ2の内部構成例を示した図であり、図2を用いて、DC-DCコンバータ2の具体的な内部構成について説明する。

図2において、DC-DCコンバータ2は、直流電源10から供給される電源をスイッチングして出力するスイッチング回路部31と、該スイッチング回路部31から出力される脈流電圧を平滑する平滑回路部32と、スイッチング回路部31のスイッチング動作の制御を行う制御部33とで構成されている。

【0021】

スイッチング回路部31は、PMOSトランジスタ41で構成され、該PMOSトランジスタ41のドレインとソースとの間には寄生ダイオード42が形成されている。PMOSトランジスタ41において、ソースには直流電源10から電源電圧VDDが印加されており、ゲートは制御部33に、ドレインは平滑回路部32にそれぞれ接続されている。なお、PMOSトランジスタ41のサブストレートゲートはソースに接続されている。

【 0 0 2 2 】

平滑回路部 3 2 は、平滑コイルをなすチョークコイル 4 5 と、平滑コンデンサをなすコンデンサ 4 6、フライホイールダイオードをなすダイオード 4 7 で構成されている。チョークコイル 4 5 とコンデンサ 4 6 は、PMOS トランジスタ 4 1 から入力される脈流電圧を平滑して出力するチョーク入力型の平滑回路を形成している。また、チョークコイル 4 5 の入力端にカソードが接続されると共にアノードが接地されたダイオード 4 7 がフライホイールダイオードとして設けられている。

【 0 0 2 3 】

平滑回路部 3 2 で平滑された直流電圧は、制御部 3 3 に出力されると共に出力電圧 V_a としてボルテージレギュレータ 3 に出力される。制御部 3 3 は、CPU 1 1 から所定のスリープ信号 SLP が入力されていないときは、あらかじめ設定された周波数、例えば数百 kHz ~ 1 MHz のパルス信号を PMOS トランジスタ 4 1 のゲートに出力する。

【 0 0 2 4 】

また、制御部 3 3 は、平滑回路部 3 2 から出力される出力電圧 V_a の監視を行い、該出力電圧 V_a があらかじめ設定された電圧、例えば 2.0 V になるように PMOS トランジスタ 4 1 のゲートに出力するパルス信号のデューティサイクルを制御する。具体的には、制御部 3 3 は、出力電圧 V_a が設定電圧よりも小さい場合は、デューティサイクルを小さくして PMOS トランジスタ 4 1 がオンする期間を長くし、出力電圧 V_a が設定電圧よりも大きい場合は、デューティサイクルを大きくして PMOS トランジスタ 4 1 がオンする期間を短くする。更に、制御部 3 3 は、出力電圧 V_a が設定電圧になっている場合は、現状のデューティサイクルを維持するようにしてもよい。

【 0 0 2 5 】

一方、制御部 3 3 は、CPU 1 1 から所定のスリープ信号 SLP が入力されると、制御部 3 3 は非活性化状態となって動作を停止し、PMOS トランジスタ 4 1 のゲートはロー (Low) レベルとなる。このため、PMOS トランジスタ 4 1 はオンした状態となり、平滑回路部 3 2 からの出力電圧 V_a は、直流電源 1 0

からの電源電圧VDDと同じ電圧になる。

【0026】

なお、上記説明では、ボルテージレギュレータ3は、1つの出力電圧Vbを出力する場合を例にして説明したが、複数の異なる電圧を出力するようにしてもよい。また、DC-DCコンバータ2におけるスイッチング回路部31及び制御部33、並びにボルテージレギュレータ3は1つのICで形成することができる。

【0027】

更に、図2では、平滑回路部32にフライホイールダイオードを使用した場合を例にして説明したが、図3で示すように、フライホイールダイオードの代わりにPMOSトランジスタ41のドレインと接地との間にNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）51を接続し、該NMOSトランジスタ51の動作制御を制御部33で行うようにしてもよい。

【0028】

この場合、制御部33において、PMOSトランジスタ41への制御信号S1とNMOSトランジスタ51への制御信号S2の関係例は図4で示すようになる。図4で示しているように、制御部33は、同時にオンすることがないようにPMOSトランジスタ41とNMOSトランジスタ51の制御を行う。また、NMOSトランジスタ51は、DC-DCコンバータ2におけるスイッチング回路部31及び制御部33、並びにボルテージレギュレータ3と共に1つのIC内に形成することができる。

【0029】

このように、本実施の形態における電源回路は、CPU11が通常動作を行う場合は、DC-DCコンバータ2を動作させることにより効率よく電源電圧VDを電圧Vaに降圧した後、更にボルテージレギュレータ3によって降圧して安定した電圧VbをCPU11に供給し、CPU11がスリープ状態になると、DC-DCコンバータ2は非活性化状態になって動作を停止して電力消費を抑えると共に、DC-DCコンバータ2をスルーした電源電圧VDDをボルテージレギュレータ3のみで所望の電圧VbにレギュレーションしてCPU11に供給するようにした。このことから、通常動作時におけるボルテージレギュレータによる

電力消費を低減させることができると共に、電源供給先のCPU、DSP及びメモリ等のデバイスがスリープ状態になると電力消費を低減することができ、該デバイス、例えばCPUがスリープ状態時に間欠的に動作する場合においも、該デバイスに電源の供給を行うことができる。

【0030】

【発明の効果】

上記の説明から明らかなように、本発明の電源回路によれば、DC-DCコンバータで電源電圧を所定の電圧 V_a に降圧した後、更にボルテージレギュレータによって所定の電圧 V_b に降圧してシステム装置に電源供給するようにした。このことから、ボルテージレギュレータによる消費電力を低減させることができるため、低消費電力化を図ることができ、各種電池（2次電池も含む）を電源とした機器において、電池の消耗を抑制することができる。

【0031】

また、DC-DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力するようにした。このことから、電源供給先のシステム装置が低消費電力の動作モードを実行して一時的に動作を停止する際、DC-DCコンバータを非活性化状態にして動作を停止させることができるため、更に低消費電力化を図ることができると共に、システム装置、例えばCPUが低消費電力動作時において間欠的に動作する場合においも、電源の供給を行うことができる。

【0032】

具体的には、DC-DCコンバータにおいて、制御部は、システム装置から所定の信号が入力されると非活性化状態となり、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時平滑回路部に出力させるようにした。このことから、DC-DCコンバータにおいて、簡単な構成で、非活性化状態時に直流電源からの電源電圧をボルテージレギュレータに出力することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における電源回路の構成例を示した図である。

【図 2】 図 1 における DC-DC コンバータ 2 の内部構成例を示した図である。

【図 3】 図 1 における DC-DC コンバータ 2 の内部構成の変形例を示した図である。

【図 4】 図 3 の各トランジスタに対する制御部 3 3 からの各制御信号の例を示したタイミングチャートである。

【図 5】 従来の電源回路の例を示した回路図である。

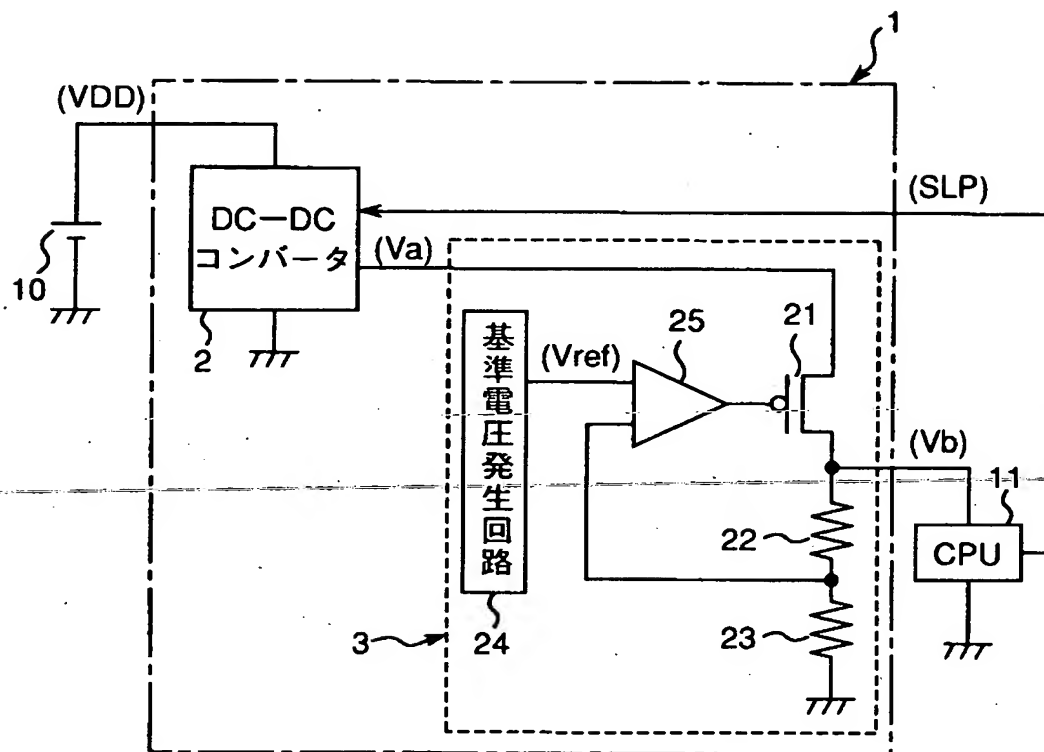
【図 6】 従来の電源回路の他の例を示した概略のブロック図である。

【符号の説明】

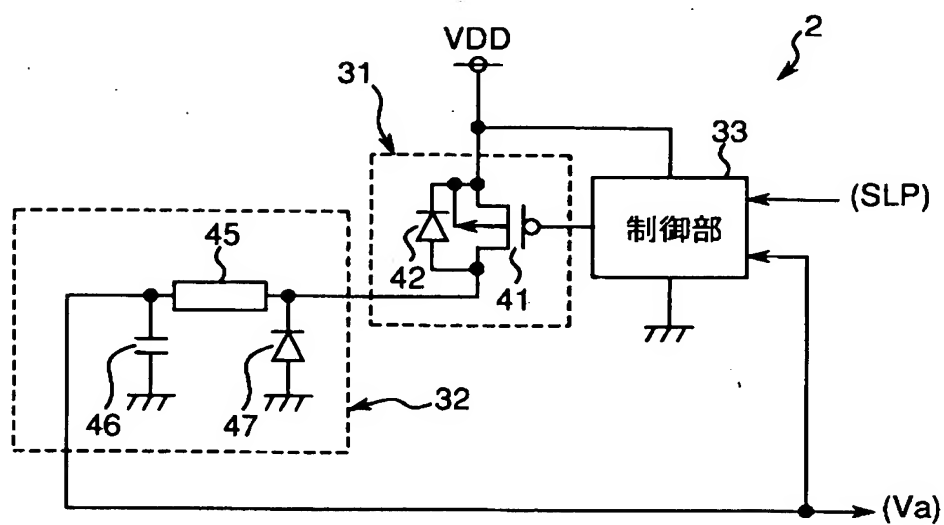
- 1 電源回路
- 2 DC-DC コンバータ
- 3 ボルテージレギュレータ
- 1 0 直流電源
- 1 1 CPU
- 3 1 スイッチング回路部
- 3 2 平滑回路部
- 3 3 制御部

【書類名】 図面

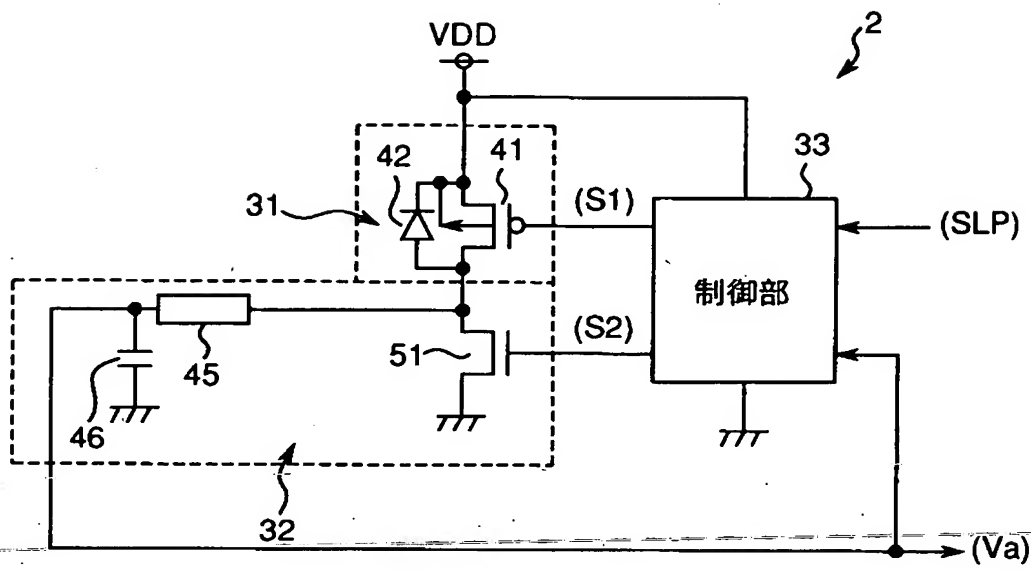
【図 1】



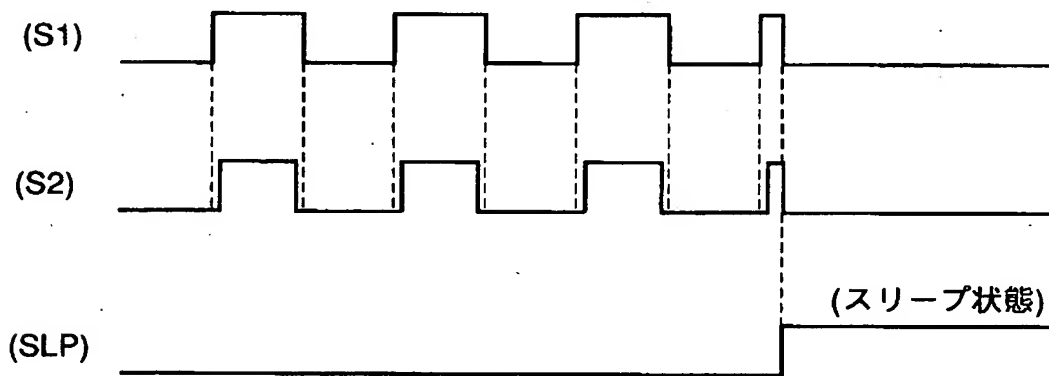
【図 2】



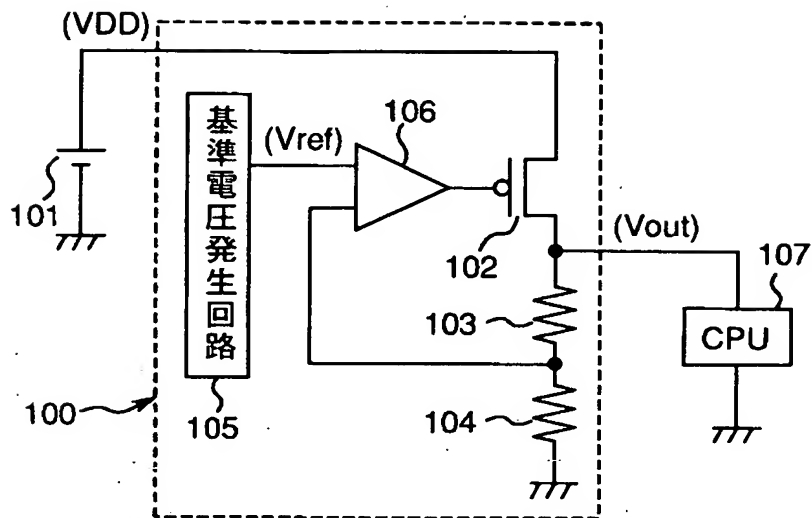
【図 3】



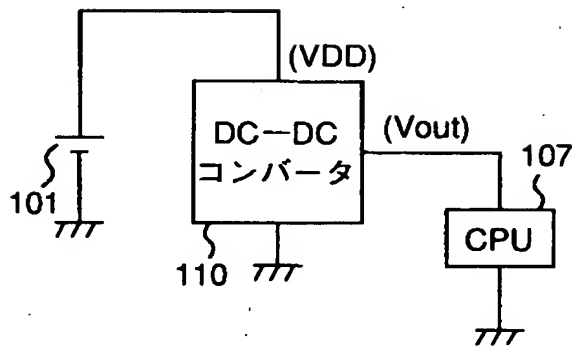
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 スリープ状態時に電力消費を低減することができると共に、電源供給先のデバイスが該スリープ状態時に間欠的に動作する場合においても該デバイスに電源供給を行うことができる電源回路を得る。

【解決手段】 CPU 11 が通常動作を行う場合は、DC-DCコンバータ 2 を動作させることにより効率よく電源電圧 VDD を電圧 V a に降圧した後、更にボルテージレギュレータ 3 によって降圧して安定した電圧 V b を CPU 11 に供給し、CPU 11 がスリープ状態になると、DC-DCコンバータ 2 は非活性化状態になって動作を停止して電力消費を抑えると共に、DC-DCコンバータ 2 をスルーした電源電圧 VDD をボルテージレギュレータ 3 のみで所望の電圧 V b にレギュレーションして CPU 11 に供給するようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー
